

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100642

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H01L 21/338

H01L 29/778

H01L 29/812

(21)Application number : 2001-217046

(71)Applicant : FUJITSU QUANTUM DEVICES LTD

(22)Date of filing : 17.07.2001

(72)Inventor : NAGAHARA MASAKI

(30)Priority

Priority number : 2000216387

Priority date : 17.07.2000

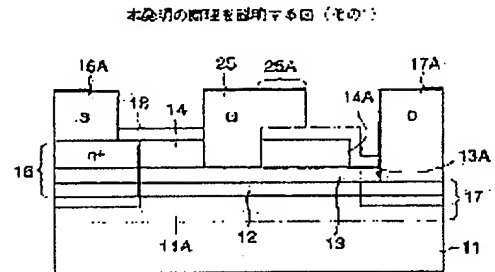
Priority country : JP

(54) COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a high-speed compound semiconductor device which has an increased gate breakdown voltage and realizes high power operations.

**SOLUTION:** By using a  $\Gamma$ -shaped electrode having an extension part extending in a drain direction as a gate electrode, each thickness of a passivation film and a cap layer is set up so that an equipotential plane under the gate electrode near the edge of the drain is deformed corresponding to the extension part.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100642

(P2002-100642A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード(参考)
H 0 1 L 21/338		H 0 1 L 29/80	B 5 F 1 0 2
29/778			H
29/812			

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号	特願2001-217046(P2001-217046)	(71) 出願人	000154325 富士通カンタムデバイス株式会社 山梨県中巨摩郡昭和町大字紙漣阿原1000番地
(22) 出願日	平成13年7月17日(2001.7.17)	(72) 発明者	長原 正樹 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通カンタムデバイス株式会社内
(31) 優先権主張番号	特願2000-216387(P2000-216387)	(74) 代理人	100070150 弁理士 伊東 忠彦
(32) 優先日	平成12年7月17日(2000.7.17)	Fターム(参考)	5F102 FA01 GB01 CC01 GD01 GJ05 GK06 GL05 GM06 GN08 GN05 GQ02 GQ03 GS01 GS04 GS06 GT03 GT05 GV08 HC01 HC07 HC16 HC21 HC30
(33) 優先権主張国	日本 (J P)		

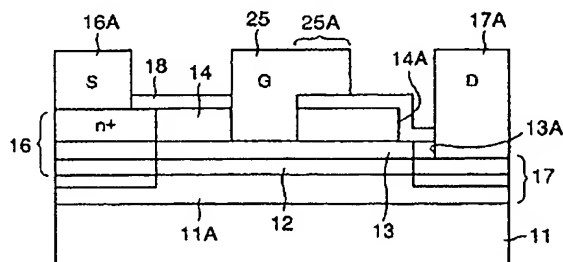
(54) 【発明の名称】 化合物半導体装置

## (57) 【要約】

【課題】 高速化合物半導体装置において、ゲート耐圧を増大させ、大電力動作を可能にする。

【解決手段】 ゲート電極としてドレイン方向に延在する延在部を有するガンマ型電極を使い、前記電極延在部直下のバンプレーション膜およびキャップ層の厚さを、前記ゲート電極のドレイン端近傍の等ポテンシャル面が、前記延在部に対応して変形するように設定する。

本発明の原理を説明する図 (その1)



## 【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された電子走行層と、

前記電子走行層上に形成されたキャップ層と、

前記キャップ層上に形成された絶縁膜と、

前記絶縁膜および前記キャップ層を貫通するゲートリセス開口部と、

前記ゲートリセス開口部中に形成されたゲート電極と、

前記ゲート電極の第 1 の側において、前記キャップ層表面から前記チャネル層まで延在する n 型のソース領域と、

前記ゲート電極の第 2 の側において、前記キャップ層表面から前記チャネル層まで延在する n 型のドレイン領域と、

前記ソース領域に電氣的にコンタクトするソース電極と、

前記ドレイン領域に電氣的にコンタクトするドレイン電極とを備え、

前記ゲート電極は、前記絶縁膜上を前記ゲートリセス開口部から前記第 2 の側の方向に延在する延在部を有する I 型形状を有し、

前記絶縁膜と前記キャップ層の合計の厚さは、前記ゲート電極の延在部直下における電界が、前記キャップ層中において前記基板表面に対して垂直な方向に作用する実質的な大きさの成分を有するように設定されることを特徴とする化合物半導体装置。

【請求項 2】 前記ゲート電極の延在部直下における電界は、前記延在部のドレイン領域側端部における電界よりも、前記キャップ層中において小さな電界強度を有することを特徴とする請求項 1 記載の化合物半導体装置。

【請求項 3】 前記絶縁膜は 70 nm 以下の厚さを有することを特徴とする請求項 1 または 2 記載の化合物半導体装置。

【請求項 4】 前記キャップ層は 70 ~ 130 nm の範囲の厚さを有することを特徴とする請求項 1 ~ 3 のうち、いずれか一項記載の化合物半導体装置。

【請求項 5】 前記絶縁膜は SiN 膜よりなることを特徴とする請求項 1 ~ 4 のうち、いずれか一項記載の化合物半導体装置。

【請求項 6】 前記ドレイン電極は、前記ドレイン領域において前記キャップ層とオーミック接触することを特徴とする請求項 1 ~ 5 のうち、いずれか一項記載の化合物半導体装置。

【請求項 7】 前記キャップ層は前記ドレイン領域に対応したドレイン開口部を有し、前記ドレイン電極は前記ドレイン開口部において形成されていることを特徴とする請求項 1 ~ 6 のうち、いずれか一項記載の化合物半導体装置。

【請求項 8】 前記ソース電極は、前記ソース領域において前記キャップ層にオーミック接触することを特徴と

する請求項 7 記載の化合物半導体装置。

【請求項 9】 前記チャネル層と前記キャップ層との間には非ドープ半導体層よりなるショットキーコンタクト層が介在することを特徴とする請求項 1 ~ 8 のうち、いずれか一項記載の化合物半導体装置。

【請求項 10】 前記チャネル層と前記キャップ層との間には、n 型半導体層よりなる電子供給層が介在し、前記チャネル層中には二次元電子ガスが形成されていることを特徴とする請求項 1 ~ 8 のうち、いずれか一項記載の化合物半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置に係り、特に高出力高速半導体装置に関する。

【0002】近年の移動体通信の急速な普及に伴い、特に基地局用に高出力で動作可能な高速半導体装置が要求されている。

【0003】従来は、半導体装置の出力を増大させるためにゲート幅を増大させて動作電流を増加させることが行われていた。しかしかかるアプローチでは、出力電流が増大し、その結果半導体装置と組み合わせて使われるインピーダンス整合回路中における電力の損失が大きな問題になる。このため最近では、動作電圧を増大させることにより出力電力を増大させるアプローチが取られている。

【0004】

【従来の技術】図 1 は、従来の高出力高速半導体装置 10 の構成を示す。

【0005】図 1 を参照するに、前記半導体装置 10 は半絶縁性 GaAs 基板 11 上に形成された MSFET であり、前記 GaAs 基板 11 上に形成された非ドープ GaAs よりなるバッファ層 11A と、前記バッファ層 11A 上に形成された n 型 GaAs よりなるチャネル層 12 と、前記チャネル層 12 上に形成された非ドープ AlGaAs よりなるショットキーコンタクト層 13、前記ショットキーコンタクト層 13 上に形成された非ドープ GaAs よりなるキャップ層 14 とを含み、前記ショットキーコンタクト層 13 上には、前記キャップ層 14 中に形成されたゲートリセス構造を介してゲート電極 15 がショットキーコンタクトする。また前記ゲート電極 15 の両側には前記ゲート電極 15 から離間して、前記キャップ層 14 から前記バッファ層 11A にまで到達する n<sup>+</sup>型拡散領域 16、17 がそれぞれソース領域およびドレイン領域として形成され、前記ソース領域 16 上にはソース電極 16A が、また前記ドレイン領域 17 上にはドレイン電極 17A が、いずれも前記キャップ層 14 にオーミック接触するように形成される。

【0006】また、図 1 の MSFET 10 では前記キャップ層 14 のうち露出表面が SiN よりなるパッシベーション膜 18 により覆われている。

## 【0007】

【発明が解決しようとする課題】かかる構成のMESFET10においては、大電力を取り出そうとした場合、前記ゲート電極15ドレイン電極17A間に大きな電圧を印加する必要があるが、かかる大きな動作電圧を印加すると前記ゲート電極15直下に形成されるチャネル領域のドレイン端近傍において電界強度が過大になり、アバランシェ降伏が生じてしまうことがある。この場合、図2中、経路(1)に沿って大きなゲートリーク電流が流れてしまい、MESFET10の所望の大電力動作は不可能になる。また、図1の従来のMESFET10では、前記キャップ層14中を経路(2)に沿って流れるゲートリーク電流も存在する。ただし、図2中、経路(1)に沿ったゲートリーク電流の値は経路(2)に沿ったゲートリーク電流の値よりも一桁以上大きい。

【0008】このようなゲートリークの問題を回避するため、従来よりゲート電極15とドレイン電極17Aとの間の間隔を増大させ、ピンチオフ時におけるゲート電極15直下の電界強度を低減させることが行われている。このアプローチによれば、ゲートドレイン間のブレークダウン電圧が増大し、ゲートリーク電流を抑制できることが確認されている。しかし、このような構成では、ゲートドレイン間の耐圧は増大するものの、ソースドレイン間の抵抗も同時に増大するため、半導体装置から得られる出力電流が減少してしまう。その結果、得られる出力電力の増大は限られている。また、ゲートドレイン間の距離を増大させた場合にはガン発振が生じやすく、このためかかるアプローチには、半導体装置の大電力動作において本質的な限界がある。

【0009】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

【0010】本発明のより具体的な課題は、大電力で動作可能な高速化合物半導体装置を提供することにある。

【0011】本発明の他の課題は、大電力で動作可能な高速化合物半導体装置において、ゲートリーク電流を最小化することにある。

## 【0012】

【課題を解決するための手段】本発明は上記の課題を、基板と、前記基板上に形成された電子走行層と、前記電子走行層上に形成されたキャップ層と、前記キャップ層上に形成された絶縁膜と、前記絶縁膜および前記キャップ層を貫通するゲートリセス開口部と、前記ゲートリセス開口部中に形成されたゲート電極と、前記ゲート電極の第1の側において、前記キャップ層表面から前記チャネル層まで延在するn型のソース領域と、前記ゲート電極の第2の側において、前記キャップ層表面から前記チャネル層まで延在するn型のドレイン領域と、前記ソース領域に電気的にコンタクトするソース電極と、前記ドレイン領域に電気的にコンタクトするドレイン電極とを

備え、前記ゲート電極は、前記絶縁膜上を前記ゲートリセス開口部から前記第2の側の方向に延在する延在部を有するΓ型形状を有し、前記絶縁膜と前記キャップ層の合計の厚さは、前記ゲート電極の延在部直下における電界が、前記キャップ層中において前記基板主面に対して垂直な方向に作用する実質的な大きさの成分を有するように設定されることを特徴とする化合物半導体装置により、解決する。

【0013】その際、前記合計の厚さを、前記ゲート電極の延在部直下における電界が、前記延在部のドレイン領域側端部における電界よりも、前記キャップ層中において小さな電界強度を有するように設定するのが好ましく、前記絶縁膜は70nm以下の厚さを有するのが、また前記キャップ層は70~130nmの範囲の厚さを有するのが好ましい。本発明による半導体装置は、MESFETやHEMT等の電界効果型半導体装置を含む。

【作用】以下、本発明の原理を図3の構造を参照しながら説明する。ただし図3中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0014】図3を参照するに、本発明では前記ゲート電極15の代わりに前記キャップ層14上をドレイン領域17の方向に延在する延在部25Aを有するΓ型のゲート電極25を使う。また前記キャップ層14上には薄いパッシベーション膜18が形成され、前記ゲート電極25の延在部25Aは、実際には前記パッシベーション膜18上を前記ドレイン領域17の方向に延在する。

【0015】また図3の構造では、前記キャップ層14中に前記ドレイン領域17に対応して前記ショットキーコンタクト層13を露出するドレイン開口部14Aが形成され、前記ショットキーコンタクト層13中には前記ドレイン開口部14A中において前記電子走行層12を露出する開口部13Aが形成される。前記ドレイン電極17Aは前記開口部13A中において前記電子走行層12にオーミック接触する。その際、前記パッシベーション膜18は前記キャップ層14の表面から前記ドレイン開口部14Aの側壁面を延在し、さらに前記開口部14A中に露出した前記ショットキーコンタクト層13の表面を覆う。

【0016】図4(A)、(B)は、それぞれ図1のMESFETと図3のMESFET中に形成される空乏層の状態を示す。

【0017】前記MESFET中には前記ゲート電極15からの空乏層の広がりに対応して空間電荷が現れるが、かかる空間電荷はゲート電極15の表面近傍に蓄積した電子との間に電界を形成する。図4(A)中、矢印はかかる電界に伴う電気力線をあらわす。

【0018】図4(A)を参照するに、前記ゲート電極15のドレイン端近傍においては電気力線は主としてゲート長方向に向いているのがわかるが、これは前記ドレイン端近傍の電界中ではゲート長方向の電界成分が支配

10

20

30

40

50

5

的であることを示している。かかる電界は特に前記ゲート電極 15 のドレイン端近傍に集中し、MESFET の大電力動作の際に図 2 で説明したアバランシェ降伏を生じさせる。

【0019】これに対し、図 3 の構成に示すように Γ 型のゲート電極 25 を使った場合には、図 4 (B) に示すように前記ゲート電極延在部 25A の直下の領域においても空乏層が拡大し、電子の蓄積が生じる。その結果、図 4 (B) の状態においては矢印で示した電気力線の分布よりわかるように基板主面に垂直な電界成分が増大し、ゲート電極 25 のドレイン端近傍における電界の集中が回避される。

【0020】ところで、このような Γ 型ゲート電極の使用によるゲート電極ドレイン端近傍における電界集中軽減の効果は、前記ゲート電極延在部 25A 直下における前記キャップ層 14 と前記パッシベーション膜 18 の厚さに依存する。

【0021】図 5 および図 6 は、図 3 の MESFET において前記パッシベーション膜 18 の厚さをそれぞれ 50 nm および 400 nm に設定した場合に現れる電位分布を示す。ただし図 5 および 6 の状態では前記キャップ層 14 の厚さは 130 nm に設定しており、前記ゲート電極 25 とドレイン電極 17A との間に 30 V の電圧  $V_{gd}$  を印加している。

【0022】図 5 を参照するに、前記パッシベーション膜 18 の厚さが薄い場合には、前記 Γ 型ゲート電極 25 の延在部 25A の影響によりポテンシャル分布が変形し、ゲート電極 25 のドレイン端近傍における電位勾配が緩和されているのがわかる。図 3 の MESFET では、かかるゲート電極ドレイン端近傍における電位勾配の緩和により、図 2 で説明したアバランシェ降伏の問題が解消する。

【0023】図 5 においては等電位面が前記ゲート電極延在部 25A の影響によりドレイン領域 17 の側にシフトしたと見ることできる。かかるポテンシャル分布の変形に伴い、前記キャップ層 14 中においてはゲート長方向に作用する電界成分のみならず、前記基板 11 に垂直な方向に作用する電界成分が、実質的な大きさで現れる。なお、図 5 の構成では前記ドレイン延在部 25A のドレイン端近傍に電界の集中が生じているが、これは絶縁膜 14 の上であり、従ってかかる電界集中によりチャネル層にアバランシェ降伏が生じることはない。

【0024】これに対し、図 6 の状態では、前記パッシベーション膜 18 の厚さが大きいので前記ゲート電極延在部 25A の影響が減少し、前記ゲート電極 25 のドレイン端近傍には密な等電位の分布が出現するのがわかる。図 6 中、前記ゲート電極延在部 25A は図示領域の外にある。また、図 6 の状態では前記キャップ層 14 中に生じる電界成分は大部分がゲート長方向に作用するものであり、基板主面に垂直方向に作用する電界成分は

6

ほとんどゼロであることがわかる。

【0025】このような構成の MESFET では、前記 Γ 型のゲート電極 25 を有していても、ゲート電極のドレイン端近傍におけるアバランシェ降伏、およびこれに伴うゲートリーク電流の増大の問題を回避することはできない。

【0026】なお、後ほど図 13 でも説明するが、前記パッシベーション膜 18 を省略してしまうと、電界集中がキャップ層 14 上に生じてしまい、アバランシェ降伏が生じやすくなる。すなわち、この場合には半導体装置の耐圧が低下する。従って、ゲート電極延在部 25A とキャップ層 14 との間にはパッシベーション膜 18 を形成しておく必要がある。

【0027】図 7 は、図 3 の MESFET において、前記ゲート電極延在部 25A 直下の領域の、深さ方向への伝導帯エネルギー  $E_c$  の分布プロファイル、前記パッシベーション膜 18 の厚さが 50 nm の場合と 400 nm の場合について示す。ただし、図 7 の構成では、前記ショットキー層 13 とキャップ層 14 との間に薄い非ドープ GaAs スペース層と非ドープ AlGaAs エッチングストップ層とを介在させている。図 7 中、横軸の原点は前記キャップ層 14 の表面に一致している。

【0028】図 7 を参照するに、前記伝導帯エネルギー  $E_c$  の分布は前記パッシベーション膜 18 の厚さが 50 nm の場合と 400 nm の場合とで前記キャップ層 14 の上部を除きおおよそ平行であるが、前記キャップ層 14 の上部においては前記パッシベーション膜 18 の厚さが 50 nm の場合のほうが 400 nm の場合よりも勾配が急になるのがわかる。これはパッシベーション膜 18 の厚さを 50 nm とした場合の方が、前記ゲート電極延在部 25A の下により多くの電子を蓄積できることを意味する。これに伴い、先に図 4 (B) で説明したアバランシェ降伏の抑制機構は、パッシベーション膜 18 の厚さを 50 nm とした場合により顕著に発現する。

【0029】図 8 (B) は、図 3 の構造の MESFET について、電子走行層 12 中における電界強度の分布を、図 8 (A) の断面についてシミュレーションにより求めた結果を示す。また図 9 (B) は、図 1 の従来の MESFET について、電子走行層 12 中における電界強度の分布を、図 9 (A) の断面について同一条件のシミュレーションにより求めた結果を示す。

【0030】図 8 (B)、9 (B) を比較するに、いずれの構成においてもゲート電極のドレイン端近傍に電界強度のピークが現れているが、図 9 (B) の例では電界強度のピークが約  $9 \times 10^5 \text{ V/cm}$  であるのに対し、本発明の例ではこれが約  $7 \times 10^5 \text{ V/cm}$  まで減少しているのがわかる。また、本発明の構成では、前記ドレイン端のピークに隣接して、前記ゲート電極延在部 25A に起因する低いピークが現れているのがわかる。

【0031】図 3 の本発明の MESFET は、前記 Γ 型

ゲート電極 25 の使用の他に、前記キャップ層 14 中に前記ドレイン領域 17 に対応してドレイン開口部 14A を形成することによっても、ゲートリーク電流を低減する。その際、本発明では前記ドレイン電極 17A を前記ショットキーコンタクト層 13 中に形成した開口部 13A を介して前記電子走行層 12 に直接にコンタクトさせるため、露出したショットキーコンタクト層 13 に起因する表面空乏層の影響が減少し、低抵抗のコンタクトを実現することができる。

【0032】図 10 (A)、(B) は、図 3 の MESFET の  $I_d-V_d$  特性と  $I_g-V_g$  特性の実測例を、また図 11 (A)、(B) は図 1 の MESFET の  $I_d-V_d$  特性と  $I_g-V_g$  特性を、それぞれ示す。ただし図 10 (A)、(B) の MESFET と図 11 (A)、(B) の MESFET とは、同一の層構造、同一のゲート長、および同一のゲート幅を有する。また前記キャップ層 14 の厚さは 130 nm に、また前記パッシベーション膜の厚さは 50 nm に設定している。

【0033】図 10 (A) および図 11 (A) を比較するに、ドレイン電流特性はいずれの場合もほぼ同じであるのがわかるが、図 10 (B) および図 11 (B) を比較すると、図 11 (B) の従来構成の MESFET ではゲート電圧  $V_g$  が 3.0 V まで増加した時点ですでに 0.4 mA/mm に達する大きなゲート電流  $I_g$  が流れているのに対し、図 10 (B) の本発明の MESFET では、ゲート電圧  $V_g$  が 3.0 V ではゲート電流  $I_g$  の値は 0.05 mA/mm 以下であることがわかる。すなわち、図 10 (B) は、本発明の MESFET のゲート耐圧 ( $V_{gd0}$ ) が約 3.0 V であることを示しているが、この値は図 10 (A) から従来の MESFET の耐圧  $V_{gd0}$  として求まる約 2.45 V の値よりも大幅に向上している。

【0034】図 12 は、図 3 の MESFET のゲートドレイン間耐圧特性を、図 1 に示す従来の構成の MESFET と比較して示す。ただし図 12 中 ▲ が図 3 の MESFET の特性を、また ● が図 1 の MESFET の特性を示す。さらに図 12 中、■ は図 3 の MESFET においてドレイン開口部 14A および開口部 13A を省略し、前記ドレイン電極 17A を直接に前記キャップ層 14 上に形成した場合を示す。図 12 において横軸はゲートドレイン間電圧  $V_{gd}$  を、また縦軸はゲートドレイン間電流  $I_{gd}$  を表す。

【0035】図 12 よりわかるように  $\Gamma$  型ゲート電極 25 を使うことにより、MESFET のゲートドレイン間耐圧特性は大きく向上するが、図 3 に示したようにキャップ層 14 に開口部 14A を、またショットキーコンタクト層 13 に開口部 13A を形成し、ドレイン電極 17A をかかる開口部において電子走行層 12 に直接にコンタクトするように形成することによっても、MESFET のゲートドレイン間耐圧特性は実質的に向上する

ことがわかる。これは、図 3 の構成が先に図 2 で説明した経路 (2) に沿ったリーク電流を遮断するのに有効であることを示している。

【0036】ところで、先に図 5、6 で説明したように、本発明の MESFET においてはパッシベーション膜 18 の厚さにより、前記  $\Gamma$  型ゲート電極 25 によるゲート耐圧特性  $V_{gd0}$  の向上効果に変化する。

【0037】図 13 は、図 3 の MESFET において前記キャップ層 14 の厚さを 130 nm とし、前記パッシベーション膜 18 の厚さを 0 から 250 nm の範囲で変化させた場合の飽和ドレイン電流  $I_{fmax}$  と耐圧  $V_{gd0}$  との関係を示す。

【0038】図 13 を参照するに、飽和ドレイン電流  $I_{fmax}$  の値は前記パッシベーション膜 18 の厚さにはほとんど関係なく、約 240 mA/mm の値を有するが、ゲート耐圧  $V_{gd0}$  の値は、前記パッシベーション膜 18 の厚さが 250 nm よりも小さい範囲において膜厚の減少と共に増大し、70 nm において約 3.0 V、35 nm においては約 3.4 V に達するのがわかる。このことは、前記  $\Gamma$  型ゲート電極 25 の効果を引き出すためには、前記パッシベーション膜 18 の厚さを 250 nm 以下、この好ましくは 100 nm 以下、より好ましくは 70 nm 以下に設定する必要があることを示している。

【0039】一方、前記パッシベーション膜 18 の厚さを 35 nm 以下に形成しようとすると、特に SiN 膜を使った場合均一な膜形成が困難になる。また、先にも説明したが、このようにパッシベーション膜 18 の厚さが過小である場合、電界集中がキャップ層 14 上で生じ、アバランシェ降伏が生じやすくなる。図 13 において、パッシベーション膜 18 の厚さがゼロの場合に耐圧が著しく劣化しているのがわかる。

【0040】さらに先の図 5、6 の結果から、本発明の MESFET の耐圧特性  $V_{gd0}$  は、前記キャップ層 14 の厚さによっても変化するものと考えられる。すなわち前記キャップ層 14 の厚さが厚すぎると、前記ゲート電極延在部 25A 直下に蓄積された電子による等電位面の变形効果が低下すると考えられる。一方、前記キャップ層 14 の厚さが薄すぎると、前記ゲート電極延在部 25A に起因する空乏層がゲート電極 25 のドレイン端にまで達してしまい、かかる空乏層に伴う空間電荷による電界が新たに発生してしまうと考えられる。

【0041】そこで本発明の発明者は、図 3 の MESFET において前記キャップ層 14 の厚さを様々に変化させ、ゲート耐圧特性  $V_{gd0}$  および飽和ドレイン電流  $I_{fmax}$  を求めた。図 14 はその結果を示す。

【0042】図 14 を参照するに、ゲート耐圧特性  $V_{gd0}$  はキャップ層 14 の厚さが 200 nm 以下の領域において、キャップ層 14 の厚さの減少と共に増大するが約 110 nm の厚さにおいて最大となり、前記キャップ層 14 の厚さがさらに減少すると耐圧  $V_{gd0}$  の値も減

少する。このことから、図3のMESFETにおいて、前記キャップ層14の厚さは前記耐圧 $V_{gd0}$ の最大値が含まれる大体70～130nmの範囲に設定すればよいことがわかる。

【0043】なお耐圧を向上させるためにゲート電極をドレイン側に延在させた構造としては従来より、Chang-Lee Chen, et al., IEEE Electron Device Letters 13, 1992, June No.6やN.-Q. Zhang, et al., Solid State Devices and Materials, 1999, pp.212-213による提案の例がある。しかし、Chang-Lee Chen et al.の構造では、ゲート電極延在部がGaAsキャップ層に直接に接しているため、かかるゲート電極延在部に起因するゲートリーク電流の問題が避けられない。またゲート電極延在部はソース側にも延在するため、ゲートソース容量 $C_{gs}$ が増大し、高周波特性が劣化してしまう。

【0044】一方、N.-Q. Zung et al.の構造では、キャップ層が設けられておらず、ショットキー層上の厚さが200nmのSiN膜にゲート電極延在部が接触する。かかる構造では、前記ゲート電極延在部に起因する空乏層はゲート電極のドレイン端直下の領域において基板方向に深く侵入し、その結果、かかる領域において生じる正電荷を有する空間電荷が電気力線緩和効果を低減してしまう。このため、これら従来の構造の半導体装置では、ゲート電極にドレイン側に延在する延在部を設けていても、十分な耐圧の向上を実現することはできない。これに対し、本発明ではI型ゲート電極を設け、その下のSiN膜およびキャップ層の膜厚を最適化することにより、効果的な耐圧向上を実現している。

【0045】さらに特開平5-326563号公報には、I型ゲート電極を絶縁膜上に形成した構成が開示されている。しかし、この公知例においてはI型ゲート電極はゲート抵抗およびゲートソース間容量 $C_{gs}$ を低減する目的で形成されており、このため前記I型ゲート電極の延在部の下において前記絶縁膜の厚さは大きく、例えば前記絶縁膜をSiO<sub>2</sub>膜とした場合、200nmの膜厚に設定されている。従って、前記特開平5-326563号公報に記載の構造においてI型ゲート電極を使っても、本発明の目的とする耐圧向上を実現することはできない。前記絶縁膜として緻密で成長速度の小さいSiN膜を使った場合には、一般に前記I型電極の延在部の下の絶縁膜は薄く形成されるため、ゲート容量は増大してしまう。このため、前記特開平5-362563号公報に記載の構造においては、 $C_{gs}$ を低減する目的のために前記I型ゲート電極構造の下に絶縁膜としてSiN膜を使うのは困難で、別の材料の膜を積層するか、あるいは空隙を設ける等の手段を講じる必要がある。これに対し、本発明では、I型ゲート電極構造の延在部の下に厚さが70nm以下のSiN膜を形成することにより、所望の耐圧の向上を実現している。

【0046】

【発明の実施の形態】〔第1実施例〕図15は、本発明の第1実施例によるMESFET30の構成を示す。

【0047】図15を参照するに、前記MESFET30は半絶縁性GaAs基板31上に形成されており、前記GaAs基板31上には非ドープAlGaAsよりなるバッファ層32と、n型GaAsよりなる電子走行層33と、非ドープAlGaAsよりなるショットキーコンタクト層34と、非ドープGaAsよりなる厚さ130nmのキャップ層35とが、それぞれMOVPE法により順次エピタキシャルに形成され、前記キャップ層35上には厚さが50nmのSiNパッシベーション膜36が形成されている。

【0048】図15のMESFET30では、チャネル領域に対応して前記SiNパッシベーション膜36、その下のGaAsキャップ層35、AlGaAsショットキーコンタクト層34を露出する開口部が形成され、前記開口部中にゲート電極40が形成されている。

【0049】また前記ゲート電極40の側の側には、前記ゲート電極40から離間して、前記キャップ層35から前記バッファ層32に達するn<sup>+</sup>型の拡散領域がソース領域41として形成され、前記ゲート電極40の他の側には、やはり前記ゲート電極40から離間して、前記キャップ層35から前記バッファ層32に達するn<sup>+</sup>型の拡散領域がドレイン領域42として形成されている。

【0050】前記ソース領域41においては前記キャップ層35上にソース電極41Aが形成され、また前記ドレイン領域42上には前記キャップ層35上にドレイン電極42Aが形成される。

【0051】さらにMESFET30においては、前記ゲート電極40から前記SiNパッシベーション膜36上を前記ドレイン電極42Aの方向にゲート電極延在部40Aが延在し、その結果前記ゲート電極40は前記ゲート電極延在部40Aと共に、I型電極を形成する。

【0052】かかる構成によれば、先に図5で説明したようにゲート電極40のドレイン端近傍における電界が緩和され、アバランシェ降伏によるゲートリーク電流の発生が抑制され、耐圧特性が向上する。その結果、本実施例のMESFET30は安定した大電力動作が可能である。

【0053】本実施例のMESFET30においては、前記キャップ層35の厚さは70～130nmの範囲に設定するのが好ましく、またパッシベーション膜36の厚さは70nm以下に設定するのが好ましい。

【0054】図16(A)～(C)および図17(D)、(E)は、図15のMESFET30の製造工程を示す図である。

【0055】図16(A)を参照するに、前記GaAs基板31上には前記半導体層32～35の積層構造体がMOVPE法により形成され、図示しないマスクによって、ソースおよびドレインとなる領域に対して、前記キ

ャップ層 35 からバッファ層 32 の上部にまで達する n<sup>+</sup>型拡散領域であるソース領域 41 およびドレイン領域 42 を選択的に形成する。イオン注入の条件は、前記半導体積層構造中に典型的には 150~170 keV の加速電圧のもと、 $1 \times 10^{13} \text{ cm}^{-2}$  程度のドーズ量で Si をイオン注入し、続いて 850°C で 20 分間の熱処理を行うことにより、イオン注入された Si 原子を活性化することで形成する。

【0056】また、キャップ層 35 上には、SiN 膜 36 が CVD 法あるいはプラズマ CVD 法により形成されている。

【0057】次に図 16 (B) に示すように、図示しないマスクパターンによって SiN 膜 36 およびキャップ層 35 を選択的に除去し、前記ゲート電極 40 の形成位置に対応した開口部 51A を形成する。

【0058】次に図 16 (C) に示すように、WSi/Au 構造よりなる金属膜 401 をスパッタ法などによって形成した後、マスク 51 を形成し、メッキ法によって Au よりなるメッキ層 402 を形成する。ここで、マスク 51 はドレイン側に開口がシフトしている。

【0059】次に図 17 (D) に示すように、マスク 51 を除去した後、メッキ層 402 をマスクとして電極層 401 をパターンニングして、I 型のゲート電極 40 を形成する。いうまでもなく、このゲート電極 40 は、WSi/Au 構造の電極上に Au メッキ層が形成された構成を有しており、また、マスク 51 がシフトした部分で、延在部 40A が設けられている。

【0060】次に図 17 (E) の工程において、前記ソース領域 41 およびドレイン領域 42 上における前記 SiN 膜 36 を選択的に除去し、そこに厚さが 50 nm の AuGe 層と 300 nm の Au 層とを積層した AuGe/Au 構造のオーミック電極をそれぞれ形成し、450°C、2 分間のアロイ化を行うことにより、それぞれソース電極 41A およびドレイン電極 42A を形成する。

【0061】なお、本実施例において、前記電子走行層 33 としては、n 型 GaAs に限定されることなく、他の材料を採用することもできる。また、ショットキー層 34 は i-GaAs に限定されることなく、他の材料も採用することができる。

【第 2 実施例】図 18 は、本発明の第 2 実施例による MESFET 60 の構成を示す。ただし図 18 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0062】図 18 を参照するに、MESFET 60 は図 15 の MESFET 30 と同様な構成を有するが、前記キャップ層 35 中に前記ドレイン領域 42 に対応して、ショットキーコンタクト層 34 を露出する開口部 35A が形成されている。

【0063】本実施例では前記ドレイン電極 42A が前記開口部 35A 中において前記ショットキーコンタクト

層 34 とオーミック接触する。さらに、前記キャップ層 35 を覆う前記パッシベーション層 36 は前記開口部 35A の側壁面および前記ショットキーコンタクト層 34 の表面を連続的に覆う。かかる構成により、前記キャップ層 35 とドレイン電極 42A との間のゲートリーク電流路が遮断される。また本実施例では前記開口部 35A 中において露出されるショットキーコンタクト層 34 の表面が SiN パッシベーション膜 36 により覆われるため、膜 34 の表面空乏層の形成が抑制され、かかる表面空乏層により MESFET 60 の動作特性が劣化する等の問題は生じない。

【0064】本実施例において、前記開口部 35A は適当なレジストマスクを形成した上で前記キャップ層 35 を、 $\text{CCl}_2\text{F}_2/\text{He}$  エッチングガスを使ったドライエッチング工程により前記ショットキーコンタクト層 34 が露出するまでエッチングすることにより形成すればよい。

【第 3 実施例】図 19 は、本発明の第 3 実施例による HEMT 80 の構成を示す。

【0065】図 19 を参照するに、前記 HEMT 80 は半絶縁性 GaAs 基板 81 上に形成されており、前記 GaAs 基板 81 上には非ドープ AlGaAs よりなるバッファ層 82 と、n 型 AlGaAs よりなる第 1 の電子供給層 83 と、非ドープ GaAs よりなる電子走行層 84 と、n 型 AlGaAs よりなる第 2 の電子供給層 85 と、非ドープ AlGaAs よりなるショットキーコンタクト層 86 と、非ドープ GaAs よりなるキャップ層 87 とが、それぞれ MOVPE 法により順次エピタキシャルに形成され、前記キャップ層 87 上には厚さが 50 nm の SiN パッシベーション膜 90 が形成されている。

【0066】図 19 の HEMT 80 では、チャネル領域に対応して前記 SiN パッシベーション膜 90 およびその下の GaAs キャップ層 87 を貫通して、前記 AlGaAs ショットキーコンタクト層 86 を露出する開口部が形成され、前記開口部中に前記 AlGaAs ショットキーコンタクト層 86 とコンタクトするゲート電極 91 が形成されている。

【0067】また前記ゲート電極 91 の一の側には、前記ゲート電極 91 から離間して、前記キャップ層 87 にオーミック接触するソース電極 92 が形成され、また前記ゲート電極 91 の他の側には、前記ゲート電極 91 から離間して、前記キャップ層 87 にオーミック接触するドレイン電極 93 が形成される。

【0068】さらに前記 HEMT 80 においては、前記ゲート電極 91 から前記 SiN パッシベーション膜 90 上を前記ドレイン電極 93 の方向にゲート電極延在部 91A が延在し、その結果前記ゲート電極 91 は前記ゲート電極延在部 91A と共に、I 型電極を形成する。

【0069】かかる構成によれば、先に図 5 で説明したようにゲート電極 91 のドレイン端近傍における電界が



緩和され、アバランシェ降伏によるゲートリーク電流の発生が抑制され、耐圧特性が向上する。その結果、本実施例の HEMT 80 は安定した大電力動作が可能である。

【0070】HEMT 80 は、先に説明した MESFET 30 の製造方法と同様な工程により製造できる。

【0071】本実施例において、前記電子走行層 84 は非ドープ GaAs に限定されるものではなく、他の材料により形成することも可能である。また、前記電子供給層 83、85 としても、n 型 AlGaAs 以外の材料により形成することも可能である。さらに前記ショットキーコンタクト層 86 としても、非ドープ AlGaAs 以外の材料を使うことも可能である。

【第 4 実施例】図 20 は、本発明の第 4 実施例による HEMT 100 の構成を示す。ただし図 20 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0072】図 20 を参照するに、HEMT 100 は図 19 の HEMT 80 と同様な構成を有するが、前記キャップ層 87 中にドレイン領域に対応して、ショットキーコンタクト層 86 を露出する開口部 87A が形成されており、前記開口部 87A 中にドレイン電極 93 が形成されている。また前記キャップ層 87 を覆う前記パッシベーション膜 90 は前記開口部 87A の側壁面および前記ショットキーコンタクト層 86 の表面を連続的に覆う。かかる構成により、前記キャップ層 87 とドレイン電極 93 との間のゲートリーク電流路が遮断される。また本実施例では前記開口部 87A 中において露出されるショットキーコンタクト層 86 の表面が SiN パッシベーション膜 90 により覆われるため、膜 86 の表面空乏層の形成が抑制され、かかる表面空乏層により HEMT 100 の動作特性が劣化する等の問題は生じない。

【0073】本実施例において、前記開口部 87A は適当なレジストマスクを形成した上で前記キャップ層 87 を、 $\text{CCl}_2\text{F}_2$ /H<sub>2</sub> エッチングガスを使ったドライエッチング工程により前記ショットキーコンタクト層 86 が露出するまでエッチングすることにより形成すればよい。

【0074】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【0075】

【発明の効果】本発明によれば、電界効果型高速半導体装置において I 型ゲート電極を形成し、さらに前記 I 型ゲート電極の形状がゲートのドレイン端近傍のポテンシャル分布を変形できるようにパッシベーション膜およびキャップ層の厚さを最適化することによりゲート耐圧特性が向上する。このため大きなゲートドレイン間電圧を使用することにより、かかる電界効果型高速半導体装置から大電力出力を取り出すことが可能になる。

【図面の簡単な説明】

【図 1】従来の MESFET の構成を示す図である。

【図 2】図 1 の MESFET において生じる問題点を説明する図である。

【図 3】本発明の原理を説明する図（その 1）である。

【図 4】(A)、(B) は本発明の原理を説明する図（その 2）である。

【図 5】本発明の原理を説明する図（その 3）である。

【図 6】本発明の原理を説明する図（その 4）である。

【図 7】本発明の原理を説明する図（その 5）である。

【図 8】(A)、(B) は本発明の原理を説明する図（その 6）である。

【図 9】(A)、(B) は本発明の原理を説明する図（その 7）である。

【図 10】(A)、(B) は本発明の原理を説明する図（その 8）である。

【図 11】(A)、(B) は本発明の原理を説明する図（その 9）である。

【図 12】本発明の原理を説明する図（その 10）である。

【図 13】本発明の原理を説明する図（その 11）である。

【図 14】本発明の原理を説明する図（その 12）である。

【図 15】本発明の第 1 実施例による MESFET の構成を示す図である。

【図 16】(A) ~ (C) は、図 15 の MESFET の製造工程を示す図（その 1）である。

【図 17】(D) ~ (E) は、図 15 の MESFET の製造工程を示す図（その 2）である。

【図 18】本発明の第 2 実施例による MESFET の構成を示す図である。

【図 19】本発明の第 3 実施例による HEMT の構成を示す図である。

【図 20】本発明の第 4 実施例による MESFET の構成を示す図である。

【符号の説明】

10, 30, 60 MESFET

11, 31, 81 基板

11A, 32, 82 パッファ層

12, 33, 84 電子走行層

13, 34, 86 ショットキーコンタクト層

14, 35, 87 キャップ層

14A, 87A ドレイン開口部

15 ゲート電極

16, 41 ソース領域

16A, 41A, 92 ソース電極

17, 42 ドレイン領域

17A, 42A, 93 ドレイン電極

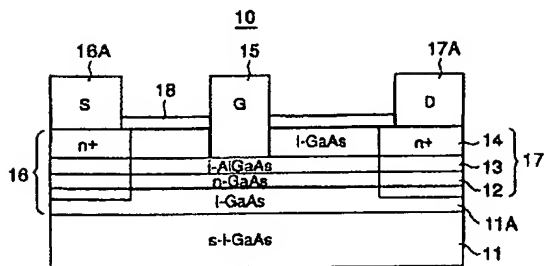
18, 39, 90 パッシベーション膜

15  
25, 40, 91  $\Gamma$ 型ゲート電極  
25A, 40A, 91A 電極延在部

16  
80, 100 HEMT  
83, 85 電子供給層

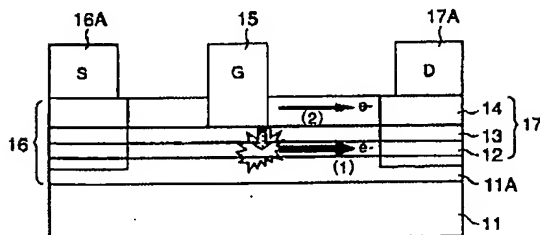
【図1】

従来のMESFETの構成を示す図



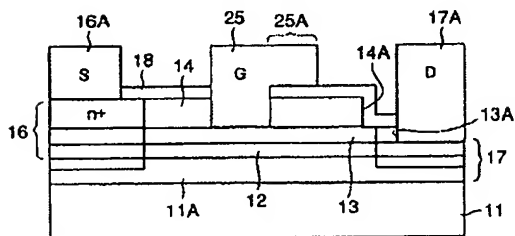
【図2】

図1のMESFETにおいて生じる問題点を説明する図



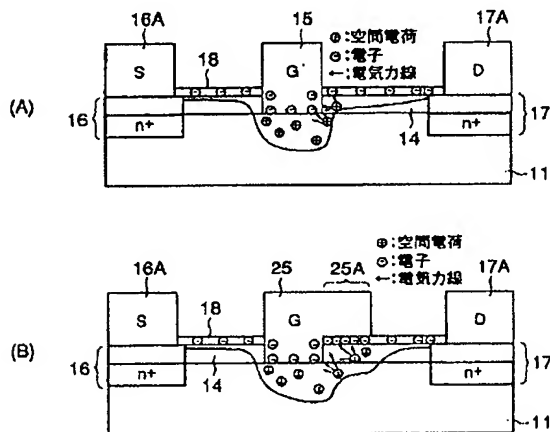
【図3】

本発明の原理を説明する図 (その1)



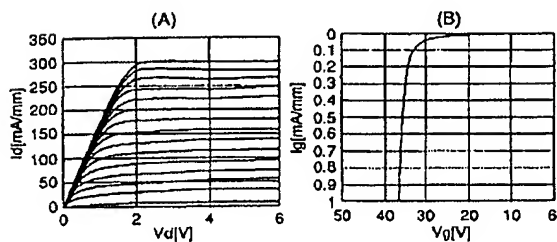
【図4】

(A),(B)は本発明の原理を説明する図 (その2)



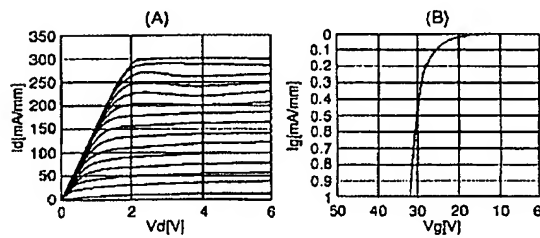
【図10】

(A),(B)は本発明の原理を説明する図 (その8)



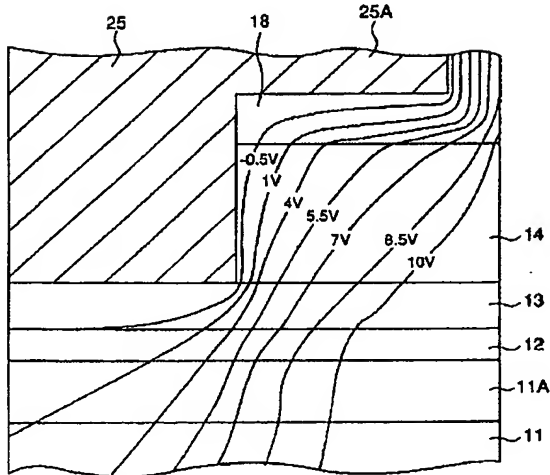
【図11】

(A),(B)は本発明の原理を説明する図 (その9)



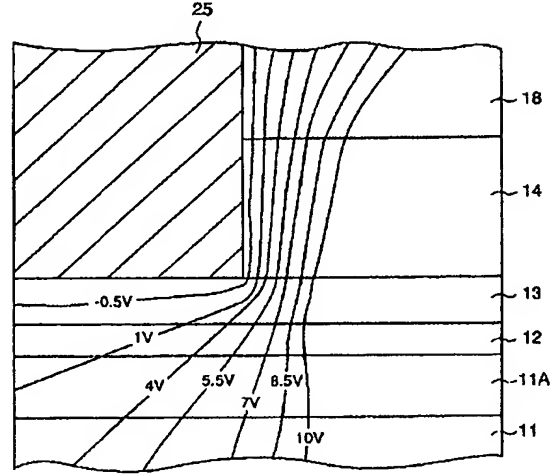
【図 5】

本発明の原理を説明する図 (その3)



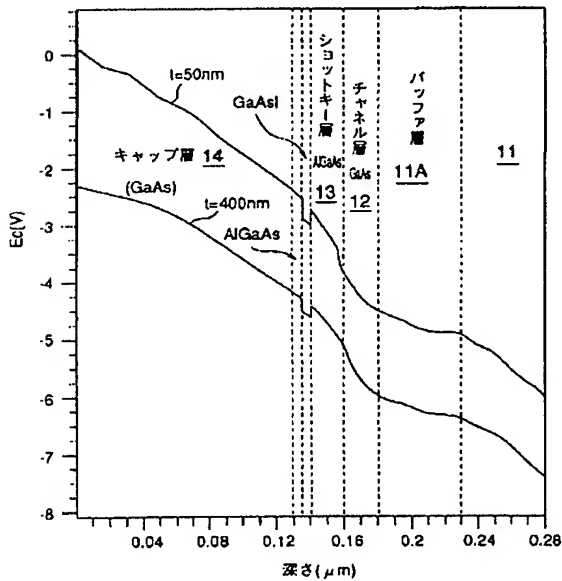
【図 6】

本発明の原理を説明する図 (その4)



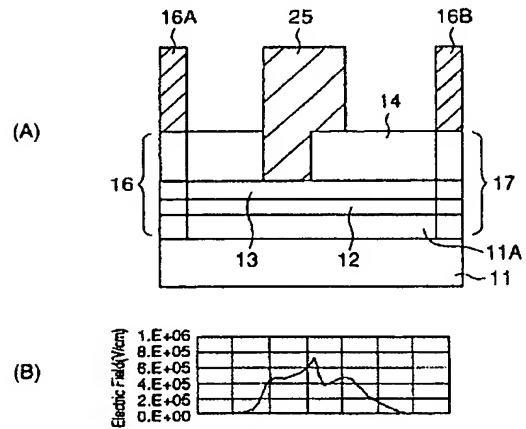
【図 7】

本発明の原理を説明する図 (その5)



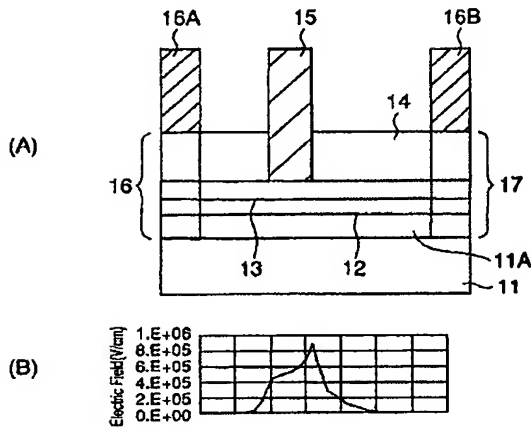
【図 8】

(A),(B)は本発明の原理を説明する図 (その6)



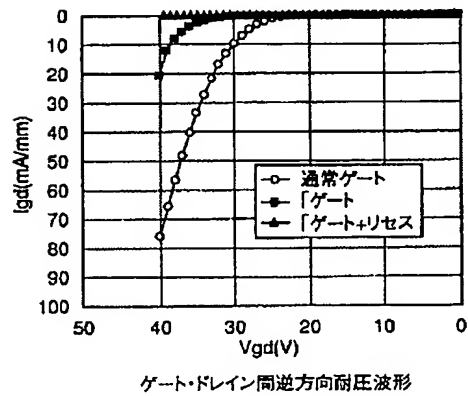
【図 9】

(A),(B)は本発明の原理を説明する図 (その7)



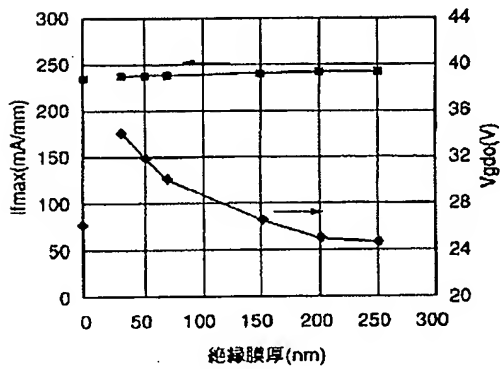
【図 12】

(A),(B)は本発明の原理を説明する図 (その10)



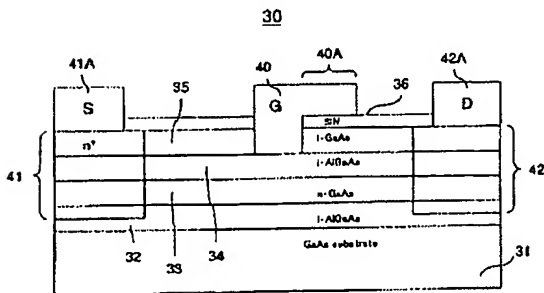
【図 13】

本発明の原理を説明する図 (その11)



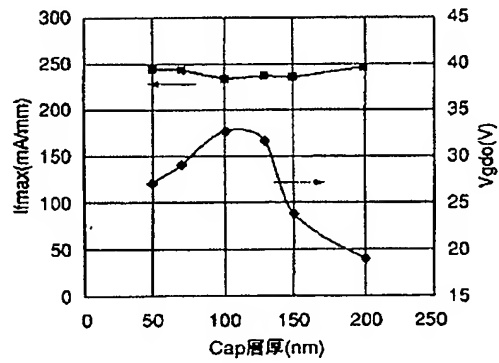
【図 15】

本発明の第1実施例によるMESFETの構成を示す図



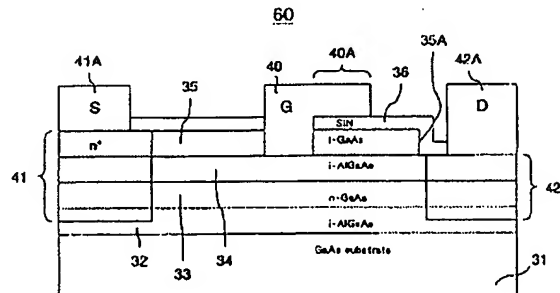
【図 14】

本発明の原理を説明する図 (その12)



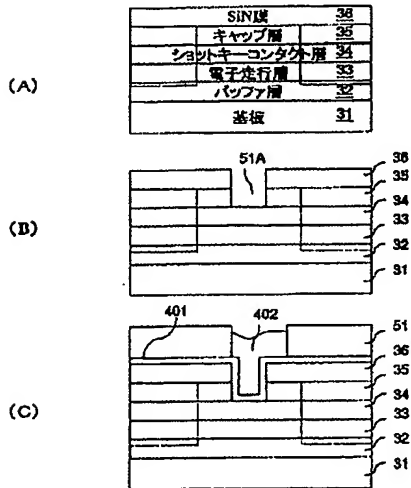
【図 18】

本発明の第2実施例によるMESFETの構成を示す図



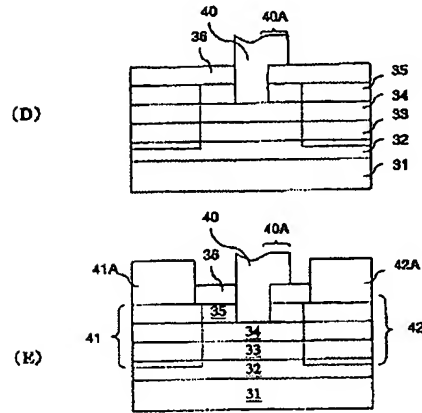
【図16】

(A)～(C)は、図15のMESFETの製造工程を示す図(その1)



【図17】

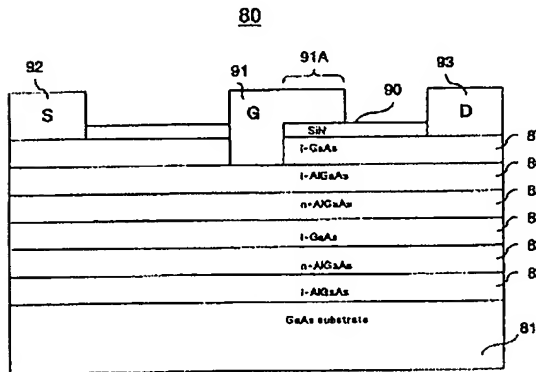
(D)～(E)は、図15のMESFETの製造工程を示す図(その2)



【図20】

【図19】

本発明の第3実施例によるHEMTの構成を示す図



本発明の第4実施例によるHEMTの構成を示す図

